

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CLIPPEDIMAGE= JP408234212A  
PAT-NO: JP408234212A  
DOCUMENT-IDENTIFIER: JP 08234212 A  
TITLE: LIQUID CRYSTAL DISPLAY ELEMENT

PUBN-DATE: September 13, 1996

INVENTOR-INFORMATION:

NAME  
HIOKI, TOSHIFUMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CASIO COMPUT CO LTD	N/A

APPL-NO: JP07065066  
APPL-DATE: February 28, 1995

INT-CL\_(IPC): G02F001/1339; G02F001/1333 ; G02F001/136 ; H01L029/786  
; H01L021/336

ABSTRACT:

PURPOSE: To provide a liquid crystal display element capable of making the pass quantity of light at every pixel uniform and preventing the light from being incident on switching elements.

CONSTITUTION: Since columnar spacers 24 are formed above TFTs 22 on a display driving panel 11 side out of a resin having light shieldability to eliminate the need for forming spacers on pixel electrodes 17, the quantity of the light passing the respective pixel electrodes is made uniform. Since the spacers 24 are formable at every pixel, the intra-surface uniformity of the gap between both panels is improved when a display driving panel 11 and a common electrode panel 12 are stuck to each other.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-234212

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1339	5 0 0	G 0 2 F	1/1339
	1/1333			1/1333
	1/136	5 0 0		1/136
H 0 1 L	29/786		H 0 1 L	29/78
	21/336			6 1 2 Z

審査請求 未請求 請求項の数4 F D (全 8 頁)

(21) 出願番号 特願平7-65066

(22) 出願日 平成7年(1995)2月28日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 日愷 利文

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

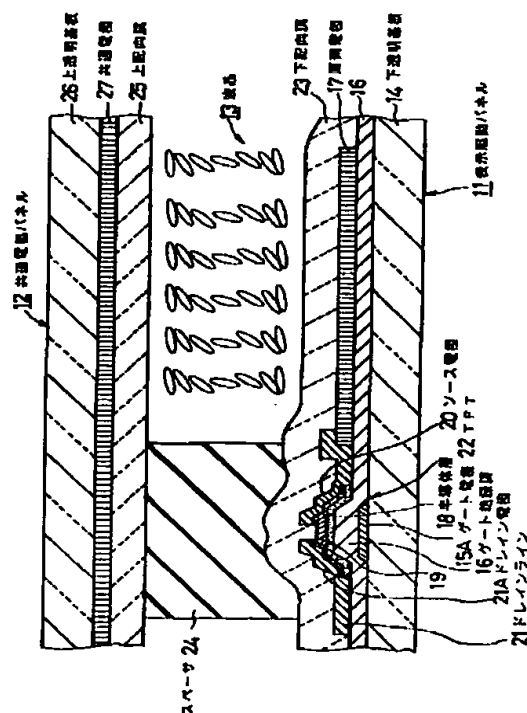
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【目的】 画素毎の光の通過量を均一にでき、しかもスイッチング素子への光入射も防止できる液晶表示素子を提供する。

【構成】 表示駆動パネル11側のTFT 22の上方に柱状のスペーサ24を、遮光性を有する樹脂で形成することにより、画素電極17上にスペーサを設けなくてよいため、各画素電極を通過する光の量を均一にすることが可能となる。また、画素毎にスペーサ24が形成できるため、表示駆動パネル11と共通電極パネル12とを貼り合わせたときに、両パネル間のギャップの面内均一性を向上させることができる。



## 【特許請求の範囲】

【請求項1】 相対向する面の表示領域にそれぞれ表示電極が設けられた一对の基板間に液晶が封入されると共に、前記両基板のうち一方の基板の表示電極がマトリクス状に配置され、且つ当該表示電極にそれぞれスイッチング素子が接続されている液晶表示素子において、少なくとも前記スイッチング素子の上に遮光性を有するスペーサを設けたことを特徴とする液晶表示素子。

【請求項2】 前記スイッチング素子は、薄膜トランジスタであり、この薄膜トランジスタのゲート電極は走査駆動回路に接続されたゲートラインに接続され、前記薄膜トランジスタのドレイン電極は信号駆動回路に接続されたドレインラインに接続され、

前記スペーサは、前記薄膜トランジスタと、少なくとも前記ゲートラインおよび前記ドレインラインのいずれか一方と、の上にパターン形成されることを特徴とする請求項1記載の液晶表示素子。

【請求項3】 前記スペーサは、パターン形成された透明樹脂の表面を遮光性材料膜で被覆してなることを特徴とする請求項1記載の液晶表示素子。

【請求項4】 前記液晶は、高分子分散型液晶であることを特徴とする請求項1記載の液晶表示素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、液晶表示素子に関する。

## 【0002】

【従来の技術】従来の液晶表示素子としては、図8に示すようなものが知られている。この液晶表示素子の構造は、同図に示すように、下ガラス基板1側に、複数の画素電極2と、これに接続されたスイッチング素子としての薄膜トランジスタ（以下、TFTと称する）3とが設けられ、上ガラス基板4側に、共通電極5とブラックマトリクス6とが設けられている。ブラックマトリクス6は、TFT3等に対向する位置に配設されている。また、両ガラス基板1、4の対向内側面にはそれぞれ配向膜7、8が形成されている。そして、これら両ガラス基板1、4間を所定の間隔に保つために、例えば樹脂を球形に加工してなる多数のスペーサ（ギャップ材）9が両ガラス基板1、4間に介在されている。なお、スペーサ9は、下ガラス基板1と上ガラス基板4とを貼り合わせる前に、一方のガラス基板の配向膜上に散布することにより配置されている。このようなスペーサ9によって両ガラス基板1、4間に形成された間隙に液晶10が封入されて、液晶表示素子が構成されている。

## 【0003】

【発明が解決しようとする課題】しかしながら、このような従来の液晶表示素子にあっては、スペーサ9を一方のガラス基板の配向膜上に散布するという方法を採用しているため、画素電極2上の配向膜7上にスペーサ9が当

然のってしまうのでスペーサ9が常に基板間に入射される光を透過してしまったり、液晶分子の配向を乱してしまい、印加電圧に応じて、画素電極2を通過する光の量や発色を調整することが困難となり、表示品質を低下させる問題があった。また、スペーサ9は、樹脂でなるため静電気が帯電しやすく、このため粒子どうしが集まりやすくなり、散布によってスペーサ9を均一に分布させるのが困難であった。図9は下ガラス基板1上に散布されたスペーサ9の分布状態を示す平面説明図である。同図から判るように、画素電極2によっては全くスペーサ9が散布されていないものや、多くのスペーサ9が集まっているものなどがあり、スペーサ9の分布に偏りが生じている。このため、画素毎の光の通過量が異なってしまうなどの問題があった。さらに、図8に示すように、上ガラス基板4側には、ブラックマトリクス6が形成されているの拘わらず、斜め方向から入射する光がTFT3の半導体層に入射し、電子-正孔対が励起してしまうため、スイッチング素子としてのTFT3の電気特性が変化して、表示品質を劣化させるという問題があった。

【0004】この発明は、画素上の液晶分子配向を乱さずに、しかもスイッチング素子への光入射も防止できる液晶表示素子を提供することを、その目的としている。

## 【0005】

【課題を解決するための手段】そこで、請求項1記載の発明は、相対向する面の表示領域にそれぞれ表示電極が設けられた一对の基板間に液晶が封入されると共に、前記両基板のうち一方の基板の表示電極がマトリクス状に配置され、且つ当該表示電極にそれぞれスイッチング素子が接続されている液晶表示素子において、少なくとも前記スイッチング素子の上に遮光性を有するスペーサを設けたことを特徴としている。請求項2記載の発明は、前記スイッチング素子が、薄膜トランジスタであり、この薄膜トランジスタのゲート電極は走査駆動回路に接続されたゲートラインに接続され、前記薄膜トランジスタのドレイン電極は信号駆動回路に接続されたドレインラインに接続され、前記スペーサが、前記薄膜トランジスタと、少なくとも前記ゲートラインおよび前記ドレインラインのいずれか一方と、の上にパターン形成されることを特徴としている。請求項3記載の発明は、前記スペーサが、パターン形成された透明樹脂の表面に遮光性材料膜を被覆してなることを特徴としている。請求項4記載の発明は、前記液晶が、高分子分散型液晶であることを特徴としている。

## 【0006】

【作用】請求項1記載の発明においては、一方の基板の表示電極がマトリクス状に配置され、且つその表示電極にそれぞれスイッチング素子が接続されて、少なくともスイッチング素子の上にスペーサが設けられているため、この一方の基板の表示電極上にスペーサを設けるこ

とがなく、画素上は常に液晶で満たされているので各画素における光の通過量が均一となり、またスペーサによる画素の液晶の配向状態の乱れがほとんどないので、光の通過量が均一となる。このため、表示品質を向上させる作用がある。さらに、スペーサが、遮光性を有するため、スイッチング素子に光が入射するのを防止する作用がある。このため、スイッチング素子が薄膜トランジスタの場合に、半導体層に光が入射して電気特性を変化させるのを防止する作用がある。また、請求項2記載の発明においては、スペーサが、薄膜トランジスタとゲートラインおよびドレインラインとの上にパターン形成されているため、一対の基板間のギャップの面内均一性をより向上させる作用を奏する。また、他方の基板側にブラックマトリクスを設けなくてよいため、基板の平坦性を高めることができる。また、請求項3記載の発明においては、フォトリソグラフィ工程で位置合わせが容易な透明樹脂をパターン形成した後、透明樹脂の表面に遮光性材料膜を被覆することでスペーサが形成できるため、スペーサを確実にスイッチング素子等の上に形成することが可能となる。さらに、請求項4記載の発明においては、薄膜トランジスタと、ゲートラインおよびドレインラインと、の上にスペーサが格子形状をなすように形成しても、封入する液晶が高分子分散型液晶であるため、両基板を貼り合わせる前にスペーサで形成される凹部にこの液晶を埋め込むことが可能となる。

#### 【0007】

【実施例】以下、この発明に係る液晶表示素子の詳細を図面に示す各実施例に基づいて説明する。

(実施例1) 図1は本発明の実施例1を適用したアクティブマトリクス型の液晶表示素子の要部を示す断面図であり、図2は実施例1を適用したアクティブマトリクス型の液晶表示素子の一方の基板側の要部斜視図である。この液晶表示素子では、相対向する基板のうちの一方の基板としての表示駆動パネル(TFTパネル)11上に、他方の基板としての共通電極パネル12が図示しないシール材を介して貼り合わされ、その間に液晶13が封入された構造となっている。

【0008】表示駆動パネル11は、ガラス等からなる下透明基板14を備えている。下透明基板14の上面上には、所定の位置に例えばアルミニウムでなるゲート電極15Aと、このゲート電極15Aと接続されるように一括してパターン形成されたゲートライン15(図2参照)と、が形成されている。なお、このゲートライン15は、後記する画素電極17の一辺に沿って敷設されるように設定され、図示しない走査駆動回路に接続されている。そして、これらゲート電極15A、ゲートライン15および露出する下透明基板14の上面上には、例えば酸化シリコンや窒化シリコン等からなるゲート絶縁膜16が全面に堆積されている。

【0009】また、ゲート絶縁膜16上の1画素形成領

域には、1T0でなる画素電極17が、図2に示すように1つの隅に矩形状の切欠部17Aが形成され、かつ全体として略矩形状に形成されている。そして、この切欠部17Aの下方に上記したゲート電極15Aが位置するように設計されている。この画素電極17の切欠部17Aにおけるゲート絶縁膜16上の、前記ゲート電極15Aと対向する位置に、TFT(薄膜トランジスタ;スイッチング素子)の能動層として真性のアモルファスシリコン等でなる半導体層18がパターン形成されている。この半導体層18上の中央には、ゲート幅方向に沿って半導体層18を横切るように窒化シリコン等でなるブロッキング層19が形成されており、また、半導体層18上のブロッキング層19を挟む両側には、それぞれ高不純物濃度半導体層を介してソース電極20とドレイン電極21Aが形成されている。ソース電極20の端部は、図1および図2に示すように、画素電極17の切欠部17Aの縁部に重なるようにパターン形成されて電気的に導通するように接続されている。一方、ドレイン電極21Aは、画素電極17の側方を前記ゲートライン15と直交するように敷設されるドレインライン21と一括して形成されたものであり、このドレインライン21は図示しない信号駆動回路に接続されている。なお、図中22は、ゲート電極15A、ゲート絶縁膜16、半導体層18、ソース電極20およびドレイン電極21A等からなるTFTを示している。

【0010】このように画素電極17およびスイッチング素子としてのTFT22が形成された下透明基板14の上面上には、図1に示すように、全面に下配向膜23が形成されている。そして、この下配向膜23上のTFT22と対向する位置には、図1および図2に示すように、例えば遮光性を有する樹脂でなる、断面矩形状の柱状に加工されたスペーサ24が設けられている。なお、図2では下配向膜23を省略して示している。このスペーサ24は、下配向膜23上の全面に樹脂を塗布した後、リソグラフィ技術およびウェットエッチング技術を用いて形成することができる。このようなスペーサ24は、図2に示すように、1画素に1つずつ形成されるため、後に共通電極パネルが貼り合わされたときに、表示駆動パネル11と共通電極パネルとの間隔の面内均一性を向上させることができる。特に、例えばスペーサ24を構成する樹脂の粘度を調整した後、この樹脂を表示駆動パネル11上にスピンコートさせ、樹脂表面が平坦になるようにしておけば、樹脂の下地である下配向膜23の表面に凹凸等の段差があっても、加工後のスペーサ24の高さを均一にすることができる。

【0011】その後、図1に示すように、表面駆動パネル11に図示しないシール材を介して共通電極パネル12を貼り合わせれば、共通電極パネル12側に設けられた上配向膜25がスペーサ24の上端に当接し、両パネル11、12間の間隔を均一に保持することができる。

5

なお、共通電極パネル12は、ガラス等でなる上透明基板26の下面の表示領域全面にITOでなる共通電極27が形成され、この共通電極27と露出する上透明基板26の下面とに、上記した上配向膜25を全面に形成してなる。本実施例では、スペーサ24が遮光性を有するため、共通電極パネル12側の、TF T 22と対向する位置にはブラックマトリクスを設ける必要がなく、共通電極パネル12の製造工程を簡略化できる利点がある。また、TF T 22が存在する部分のみにスペーサ24を形成するだけでよい。画素電極17に入射する光の通過量を減少させることがなく、表示品質の良好な液晶表示素子の製造を実現させることができる。なお、スペーサ24が柱状であるため、液晶13を封入させる工程で、液晶13がパネル間の間隙に進入するのをスペーサ24が邪魔することがない。

【0012】(実施例2)図3は、本発明の実施例2を適用したアクティブマトリクス型の液晶表示素子の要部を示す断面図である。本実施例は、上記実施例1におけるTF T 22の上方に設けたスペーサ24を、透明部24Aと遮光部24Bとで構成したものであり、他の構成は、上記実施例1と同様である。このスペーサ24を形成するには、まず、透明樹脂を下配向膜23上のコーティングし、この透明樹脂上にフォトリソをリソグラフィ技術にてパターンニングし、このフォトリソをマスクとしてウェットエッチングを行う。つぎに、パターンニングされた透明部24Aの表面に例えば顔料等の遮光性を有する材料を吸着させて遮光部24Bを形成すればよい。スペーサ24をこのような構成とすることにより、透明部24Aのパターンニングの際に、表示駆動パネル11側に形成した位置合わせマーク(アライメントマーク)などの位置決め手段を良好に認識でき、スペーサ24の本体をなす透明部24Aを確実な位置に配設することが可能となる。

【0013】(実施例3)図4は、本発明の実施例3を適用したアクティブマトリクス型の液晶表示素子の表示駆動パネル11側の平面を示す図面である。本実施例では、TF T 22と、その近傍のゲートライン15とドレインライン21とが交差する部分と、の上方(下配向膜上)にスペーサ24を形成した構成であり、他の構成は、上記実施例1と同様である。本実施例においても、画素電極17にスペーサが存在しないため、画素電極17上の液晶分子の配列を乱さず、また、画素電極17上に液晶が満たされているので、表示品質の良好な液晶表示素子の製造を実現させることができる。また、本実施例においてもスペーサ24が柱状であるため、液晶13を封入させる工程で、液晶13がパネル間の間隙に進入するのをスペーサ24が邪魔することがほとんどない。

【0014】(実施例4)図5は、本発明の実施例4を適用したアクティブマトリクス型の液晶表示素子の表示駆動パネル11側の平面を示す図面であり、図6

6

(A)、(B)はそれぞれ図5のA-A断面図とB-B断面図である。本実施例では、表示駆動パネル11における下配向膜23の上に、ゲートライン15、ドレインライン21およびTF T 22を覆う(これらのラインおよびTF T 22の上方に位置する)ようにスペーサ24を格子状に形成している。図6(A)および(B)に示すように、ゲートライン15とドレインライン21とが交差する部分のスペーサ24Cは、表示駆動パネル11と共通電極パネル12との間隙を規定する高さを有し、スペーサ24Cどうしの間のスペーサ24Dは、液晶の流入を許容できるようにその高さが低く設定されている。このようなスペーサ24を形成するには、スペーサ24C部分の上にレジストマスクを形成してウェットエッチングを行い、スペーサ24D部分の高さが所定高さになった時点でウェットエッチングを停止することにより、形成できる。本実施例においても、液晶の流入をスペーサ24が妨害することがなく、円滑な液晶封入工程を行うことが可能である。しかも、スペーサ24Cとスペーサ24Dとは一体に形成されているため、強度が高く下配向膜からはがれることがない。また、スペーサ24がゲートライン15、ドレインライン21およびTF T 22を覆う構造であるため、ゲートライン15、ドレインライン21およびTF T 22の乱反射を遮るので、共通電極パネル側に一切ブラックマトリクスを形成する必要がない。上記実施例ではゲートラインおよびドレインラインにスペーサを形成したが、いずれか一方のラインのみでもよい。

【0015】(実施例5)図7は、本発明の実施例5を適用したアクティブマトリクス型の液晶表示素子の表示駆動パネルの平面を示している。本実施例においてスペーサ24を形成する領域は、上記実施例4と全く同様であり、ゲートライン15、ドレインライン21およびTF T 22を覆うように形成する。そして、スペーサ24の高さは、すべての部分で同一に設定した。このため、スペーサ24で囲まれる画素電極17は凹部の底に位置する構造となる。このような構造では、通常の液晶を封入することは困難であるため、高分子分散型の液晶をこの凹部に埋め込むことで用いることができる。高分子分散型液晶は、既にカプセル化した液晶でも、高分子材料と液晶とが相溶した溶液を凹部に埋め込んだ後、高分子材料を重合させ、網状高分子中に液晶を分散した構造でもよい。このため、共通電極パネル側にブラックマトリクスを一切形成する必要がなく、製造工程を簡略化できるという利点がある。なお、本実施例における他の構成は上記実施例1と同様である。

【0016】以上、実施例1~5について説明したが、本発明はこれらに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。例えば、上記各実施例では、スイッチング素子としてTF T 22を適用したが、これに限らずMIM素子を適用してもよい。

また、上記各実施例では、スペーサ24を樹脂で形成したが、酸化シリコンや窒化シリコンなどの無機系の材料で形成することも可能である。

【発明の効果】以上の説明から明らかなように、この発明によれば、画素電極上にスペーサ（ギャップ材）が存在しないため、表示品質を向上させる効果を奏する。また、スイッチング素子（例えば薄膜トランジスタ）を透光性のスペーサで覆った構造であるため、斜め方向からの光がスイッチング素子に入射することがなく、スイッチング素子の電気的特性が光の影響を受けることなく良好に液晶を駆動させる効果がある。さらに、スイッチング素子が形成された基板の対向内側面に凹凸があってもスペーサの高さを予め決定することができるため、両基板間のギャップサイズの面内均一性を向上させる効果がある。

#### 【図面の簡単な説明】

【図1】この発明の実施例1を示す要部断面図。

【図2】この発明の実施例1の表示駆動パネルの斜視図。

【図3】この発明の実施例2を示す要部断面図。

【図4】この発明の実施例3の表示駆動パネルの平面図。

【図5】この発明の実施例4の表示駆動パネルの平面

図。

【図6】（A）は図5のA-A断面図、（B）は図5のB-B断面図。

【図7】この発明の実施例5の表示駆動パネルの平面図。

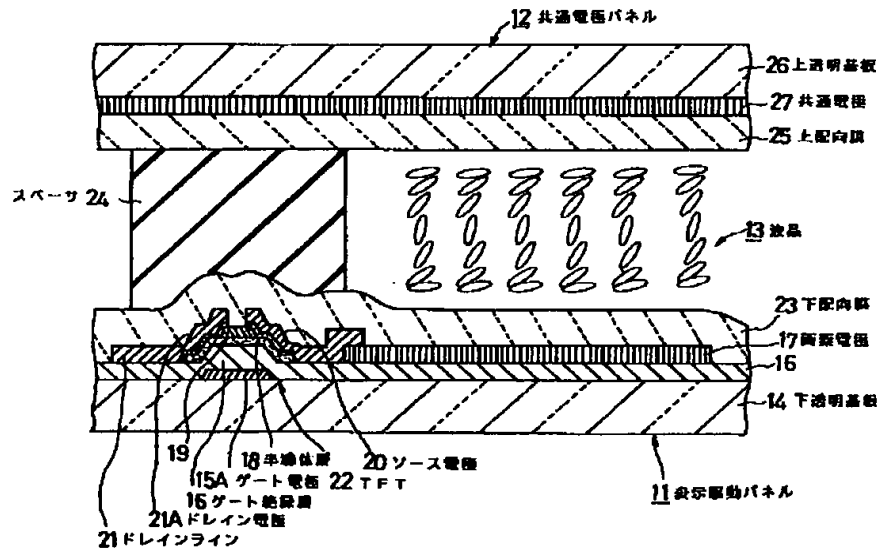
【図8】従来の液晶表示素子の要部断面図。

【図9】従来の液晶表示素子の平面説明図。

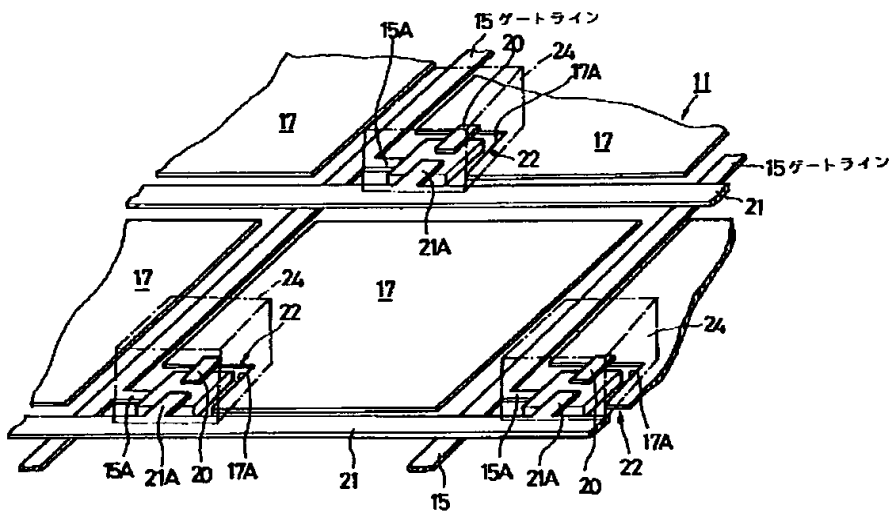
#### 【符号の説明】

- 11 表示駆動パネル
- 12 共通電極パネル
- 13 液晶
- 14 下透明基板
- 15 ゲートライン
- 17 画素電極
- 21 ドレインライン
- 22 TFT
- 23 下配向膜
- 24 スペーサ
- 24A 透明部
- 24B 遮光部
- 25 上配向膜
- 26 上透明基板
- 27 共通電極

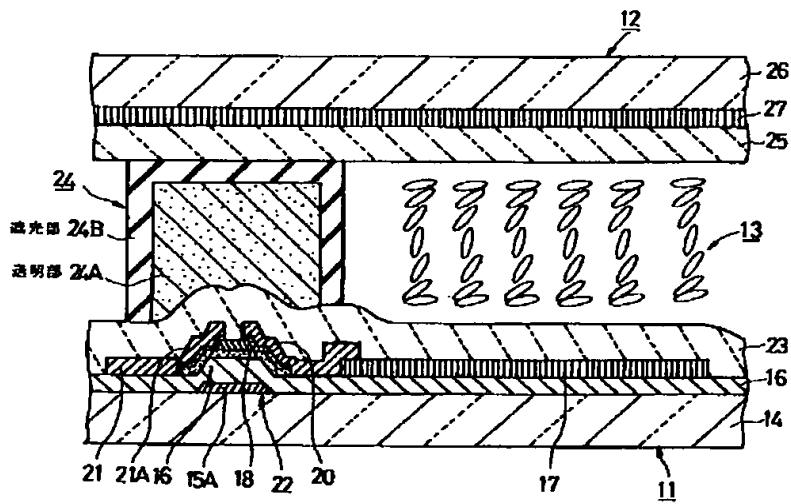
【図1】



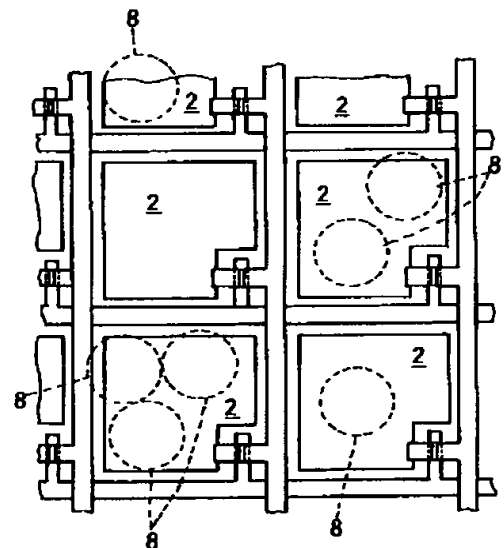
【图2】



【図3】

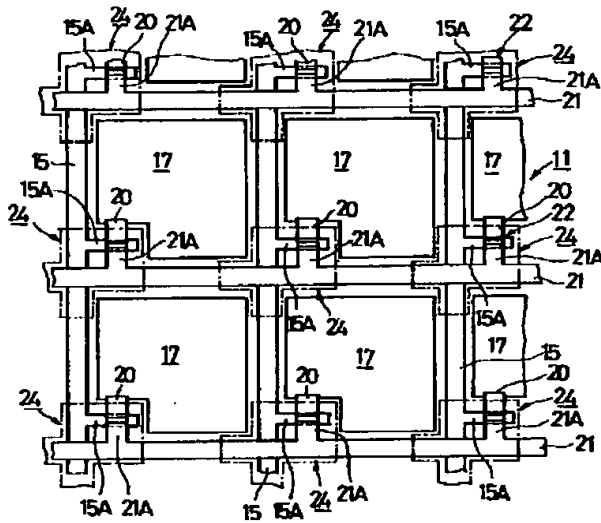


【图9】

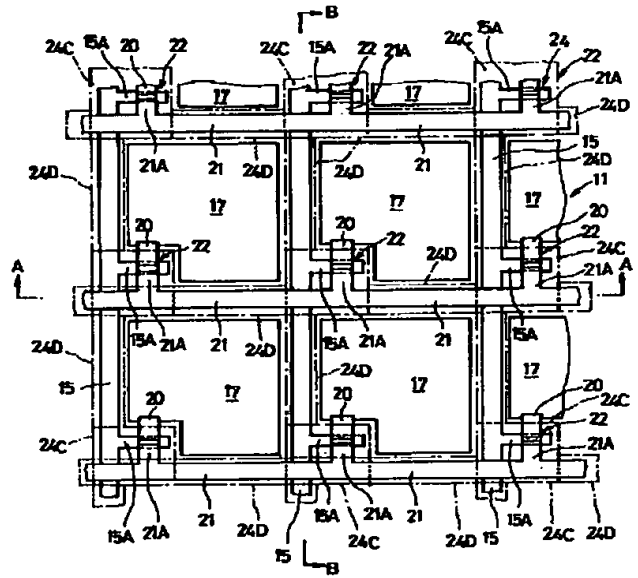




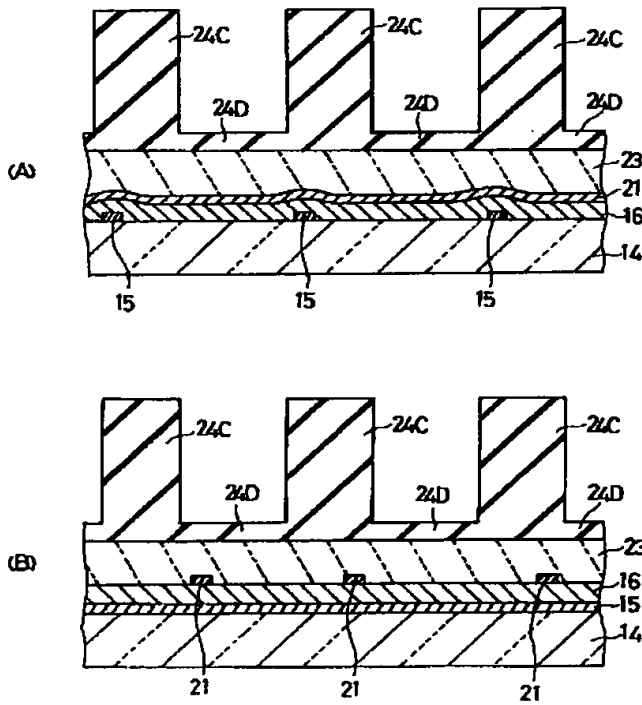
【図4】



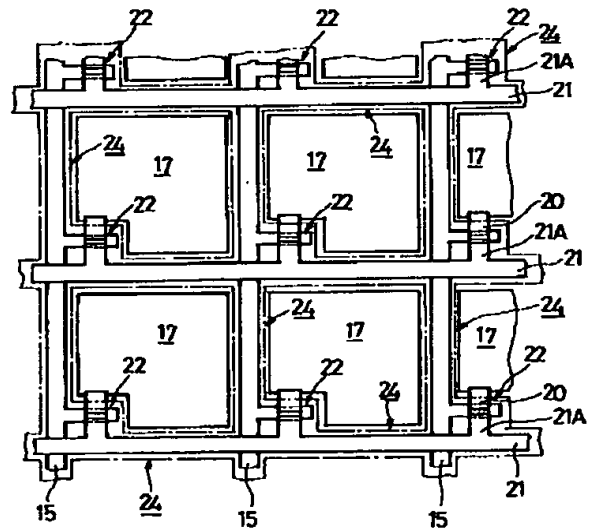
【図5】



【図6】



【図7】



【図8】

